

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-141177

(43)Date of publication of application : 28.06.1986

(51)Int.Cl.

H01L 27/14
G01B 11/00
H01L 31/10

(21)Application number : 59-263797

(71)Applicant : HAMAMATSU PHOTONICS KK

(22)Date of filing : 14.12.1984

(72)Inventor : YAMAMOTO AKINAGA
TAKIMOTO SADAJI

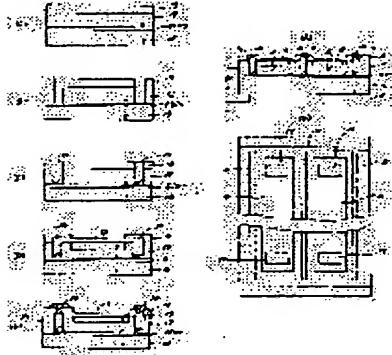
(54) SEMICONDUCTOR PHOTODETECTING DEVICE

(57)Abstract:

PURPOSE: To contrive the improvement of the high resolving efficiency and high-position resolving power, a reduction in leakage current and an increase in the amount of detecting charge by a method wherein the first conductive-type semiconductor regions, the high-impurity concentration first conductive-type thin layer, and moreover, the second conductive-type diodes and the first conductive-type polycrystalline semiconductor isolated regions are provided on the substrate.

CONSTITUTION: high-concentration N+ type layer 9, and N-type layer 12 and a silicon dioxide film 13 are respectively made to grow on a P-type silicon substrate 10 according to an epitaxial growth method and an ion-implantation, an epitaxial growth method and a thermal oxidation. Then, parts of the silicon dioxide film 13 and the N-type silicon layer 12, which are located on the parts to be used as the isolating regions, are removed up to reach the N+ type layer 9 by performing an etching, high-impurity concentration polycrystalline silicon layers

21 are deposited on the parts removed and the unnecessary parts thereof are removed. Then, a part of the silicon dioxide film 13, which is located at the part to be used as the light-receiving surface, is removed according to a photo etching and after a P-type region 15 is formed by a diffusion method, the parts left of the silicon dioxide film 13 are made to grow according to a heat oxidation and the prescribed electrode wirings 20 are performed. By this way, various crosstalks can be removed, the resolving efficiency and resolving power are made to improve, and moreover, the bias voltage can be made higher and the sensitivity is made to improve.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal of application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報 (A) 昭61-141177

⑬ Int.Cl.¹H 01 L 27/14
G 01 B 11/00
H 01 L 31/10

識別記号

府内整理番号

⑪ 公開 昭和61年(1986)6月28日

7525-5F
7625-2F
6819-5F

審査請求 未請求 発明の数 2 (全10頁)

⑪ 発明の名称 半導体光検出装置

⑫ 特願 昭59-263797

⑬ 出願 昭59(1984)12月14日

⑭ 発明者 山本晃 浜松市市野町1126番地の1 浜松ホトニクス株式会社内

⑮ 発明者 滝本貞治 浜松市市野町1126番地の1 浜松ホトニクス株式会社内

⑯ 出願人 浜松ホトニクス株式会社 浜松市市野町1126番地の1

社

⑰ 代理人 弁理士 井ノ口壽

FP03-0327
—COWO-FP
04.3.9
SEARCH REPORT

明細書

1. 発明の名称 半導体光検出装置

2. 特許請求の範囲

(1) 光検出のための接合部を有する複数のホトダイオードを同一の半導体領域内にアレー状に配列した半導体光検出装置において、第2の導電型を有する半導体基板と、前記半導体基板上にエピタキシャル成長により形成された第1の導電型を有する第1の半導体領域と、前記第2の導電型の半導体基板と前記第1の半導体領域との間に設けられた前記第1の半導体領域に比べて充分高い不純物濃度でかつ厚みの薄い第1の導電型の薄い層と、前記第1の半導体領域中に形成された第2の導電型の複数のホトダイオードと、前記ホトダイオードを互いに隔離するように前記第1の半導体領域内に形成された第1の導電型を有する多結晶半導体からなる隔離領域を設けて構成したことを特徴とする半導体光検出装置。

(2) 光検出のための接合部を有する複数のホトダイオードを同一の半導体領域内にアレー状に配列

した半導体光検出装置において、第1の導電型を有する半導体基板と、前記半導体基板上にエピタキシャル成長により形成された第1の導電型を有する第1の半導体領域と、前記基板と前記第1の半導体領域との間に設けられた前記第1の半導体領域に比べて充分高い不純物濃度でかつ厚みの薄い第1の導電型の薄い層と、前記第1の半導体領域中に形成された第2の導電型の複数のホトダイオードと、前記ホトダイオードを互いに隔離するように前記第1の半導体領域内に形成された第1の導電型を有する多結晶半導体からなる隔離領域を設けて構成したことを特徴とする半導体光検出装置。

(3) 前記基板はCZ法により製作されたものである特許請求の範囲第2項記載の半導体光検出装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、光の照射を検出する半導体光検出装置に関する。

(従来の技術)

位置検出および分光等に、同一基板上に複数個のホトダイオードアレー状に配列した半導体光検出装置が用いられている。

このようなホトダイオードアレー形式の半導体光検出装置において、入射光の入射位置の分解を高めるためにホトダイオードの集積度を大きくすると種々の問題が生ずる。

まず第1に挙げられる問題は、隣接したホトダイオード間に入射した光が素子間で相互干渉を起こす、光学的クロストークである。光学的クロストークを第5図を参照して説明する。

第5図はホトダイオードアレー形式の半導体光検出装置における光学的クロストークを示す装置の断面図である。

光学的クロストークは、吸収係数の小さい光が半導体装置のPN接合から離れた深い部分に到達し、内部で電子・正孔対を発生し、これらのキャリアが拡散によって同一アレー内の隣接するホトダイオードに到達することによって起こる。

例えばP⁺領域15の下のN層1の深い部分で発

生したキャリアがP⁺領域16に到達する場合等がそれである。

第2にブルーミングと呼ばれる物理的なクロストークがある。第6図を参照してこの物理的なクロストークを説明する。

物理的クロストークは、強い光照射により図中破線で示す空乏層に蓄積される電荷が飽和し、電子内を拡散することにより隣接するホトダイオードに到達することによって起こる。

P⁺領域15の下のN層1に形成された空乏層内で発生したキャリアがP⁺領域16に到達する場合等がそれである。

これらのクロストークは、位置センサにおける位置境界を不鮮明にし、分析センサにおける隣接する二つの信号ピークの区別を不明確にする。

また近年、ホトダイオードアレーと信号読出のための自己走査回路（シフトレジスタ）を組み合わせたイメージセンサが広く用いられている。

第7図はそのようなイメージセンサの1素子分を示す断面図である。

このようなN基板1を用いたPチャンネルMOSFET構造のイメージセンサの等価回路を第8図に示す。

N基板1を用いたPチャンネルMOSFET構造では、ソース2の領域のPN接合部を受光面として用いている。

ゲート電極4に負のパルス電圧を加えると、ゲート電極4の下のシリコン表面にPチャンネルが生じ、このときドレイン3より電荷が供給され、ソース2の拡散接合をドレイン3の電圧と等しくしてこのダイオードを充電する。

ゲート電極4の電圧をオフし、チャンネルが閉じると、ソース2の電位（蓄積電荷）はそのまま保たれる。

この状態で入射光によりキャリアが励起されると、蓄積電荷はこのキャリアに放電し、ソース2の電位は低下する。次に再び走査パルスがゲート電極4を介して印加されると、放電電荷に対する充電電荷がソース2に流れ込み、外部回路に取り出される。以下この動作を繰り返す。

このようなホトダイオードアレーにおいては、アレー内の各素子の電位は常に異なる。シフトレジスタの走査パルスによって、ある点のホトダイオードの電位が高くなった場合、電位の低い隣接するホトダイオードへ電流が流れ込む現象が起こる。これは、電気的なクロストークでありホトダイオード間の距離が短くなった場合、あるいは高抵抗の基板を用いた場合、特に起こり易くなる。電気的なクロストークは、正確な光信号の測定や微弱光の測定を困難にする。

これら、光学的、物理的、電気的なクロストークを総合して、以下単にクロストークと呼ぶこととする。

このようなクロストークに対しては第9図に示すように、拡散により形成されたP⁺層5でホトダイオード間を分離する構成が考えられる。

この方法では、素子間は一応は分離されるものの、分離領域5付近に入射した光により発生したキャリアは、すべてこのP⁺型の分離領域5に吸収され、信号量の低下が起こる。また分離領域P⁺層

5をホトダイオードとして設けた場合には、分離領域P⁺層5とホトダイオードのP層15間での相互作用が強くなるため、蓄積された信号電荷が分離領域P⁺層5に流れ易くなり、電気的なクロストークは増加する。分離領域の深さは最低でも5μmは必要であるが、拡散で形成した場合は、深さ方向の拡散だけでなく横方向への拡散も同時に起こる。このため、分離領域P⁺層5の幅を10μm以下に制御することは困難である。さらに、受光面のP層15より広がった空乏層が、分離領域P⁺層5に到達すると、耐圧が著しく低下するため、受光面と分離領域の距離は少なくとも20μm程度は必要である。この結果、隣接するホトダイオード間の間隔は50μm以上になり、これはホトダイオードアレーの解像度や、分解能の性能限界の低下をもたらす。

以上のように、隣接するホトダイオード間にP⁺の分離領域を形成した場合、クロストークの防止には効果はあるが、リーク電流の増加、耐圧力の低下、信号の漏洩が起きるなど、かえって信号の

についても著しい減少が見られる。

第11図に示す構成は、第10図に示す構成と基板がN⁻層である点を除き同様である。

基板は、引上法(CZ法)により製作されたN⁻のシリコン基板11で10Ωcmの高抵抗のものを用いる。CZ法で作られたシリコン結晶には通常5~50ppmの酸素が溶存している。

この基板上に、エピタキシャル法によりN型領域12を形成する。

そして、800℃の窒素(N₂)ガス中で1~16時間、1050℃の乾燥酸素中で18時間熱処理を行う。この工程によりN⁻基板11中に酸素の凝結に起因した微少欠陥ができる。

この微少欠陥が再結合中心として働くため、N⁻基板11内で生成したキャリアのライフタイムは極めて短く、N領域12に拡散する前にすべて消滅する。このため第10図の装置と同様に光学的クロストークをすべて除去できる。

しかし、これらの方法ではクロストークの除去に対する効果であるが、暗電流や逆耐圧に対して

不明確さが増し装置特性は低下する。

さらに第10図および第11図に示すようにホトダイオード間に絶縁物からなる分離領域を形成する構成が考えられる。

第10図中左側のホトダイオード内で発生したキャリアは、PN接合部17に集められて光信号として検出される。同様に右側のホトダイオード内で発生したキャリアは、PN接合部18に集められて光信号として検出される。このとき、両ホトダイオード間は絶縁層からなる分離領域14により完全に分離されるため、例えば左側のホトダイオード内で発生したキャリアが右側のPN接合部18に混入することはない。

さらに分離領域よりも深いところで発生したキャリアは、逆バイアスされた裏面電極19に集められるため、N層12に拡散することもない。

このため、光学的および物理的なクロストークは著しく減少する。

また絶縁層を通して、両ホトダイオード間で電流が流れることは無いため、電気的なクロストーク

問題がある。

ホトダイオードで蓄積できる最大電荷量は接合容量とバイアス電圧の積で決まる。

接合容量は基板の種類により一定の値を示すため、バイアス電圧の大きさが最大電荷量を決定している。受光面のP層に逆バイアスをかけたとき、バイアス電圧が大きすぎると、N層に広がった空乏層が、シリコン基板に達する場合がある。

このとき第10図に示す構成では空乏層を通して、受光面のP層17と基板のP層10が短絡されるため、受光面から基板へ電流が流れる。このため、ホトダイオードの信号電荷量の低下や、耐圧不良等の欠陥をひき起こす。また、第11図の構成でもN⁻領域に空乏層が広がった場合には、N⁻層内の欠陥により耐圧の劣化と暗電流の増加をまねく。さらに、空乏層が横方向に広がり、分離領域14に達する場合がある。

分離領域は形成時のダメージにより結晶性が悪く、空乏層が到達すると、リーク電流が激しく流れる。このため、バイアス電圧は制限され、結果として

ホトダイオードの最大電荷量の限界につながる。さらに、暗電流の増加蓄積時間を決め、S/N(信号雑音比)の劣化の原因となる。

一般にシリコン半導体材料を基板とするホトダイオードの分光感度特性は第12図に示すように、長波長側の光電変換感度が短波長側のそれよりも高くなっている。

また一般に分光分析において紫外～赤外の光源として用いられるものは、赤外域での出力が大きいため、ホトダイオードから得られる出力も紫外域よりも赤外域では2桁程大きい。

さらに赤外光は透光となりやすく、信号の純度を落とすため、赤外感度の小さいシリコン光検出器が求められている。

シリコンにおける長波長光の吸収係数は小さいため、比較的結晶深部で吸収され電子・正孔対を作ることが知られている。

これを有効に除去するために第10図や第11図のような構成で結晶深部で生成したキャリアを他の吸収させるか、あるいは短い時間内に消滅させ

るようにすることによって効とされている。

したがって、有効な光吸收層となるN層が薄ければ薄いだけ、この方法は有効となるはずである。しかし、分光感度特性以外の電気的特性を考慮すると、従来技術では暗電流、耐圧等の点で問題があった。

さらに薄いN層を用いることはN層に加えられる電極と各素子間の抵抗の増加および不均一化をもたらし、応答速度の劣化、印加電圧の不均一による蓄積モードで使用した場合の出力の不均一性をもたらすと考えられる。

このように、従来の装置または考えられる装置は、クロストークの防止と電気的特性や分光感度特性等を同時に満足させるものではない。

(発明の目的)

本発明の目的は、ホトダイオードアレー内の各種のクロストークを著しく低下させることにより、高解像性能、高位置分解性能を達成し、かつ高いバイアス電圧をかけたときのリーク電流の減少と、検出荷電量の増加を達成できる半導体光検出装置

を提供することにある。

(発明の構成)

前記目的を達成するために、本発明による第1の半導体光検出装置は、光検出のための接合部を有する複数のホトダイオードを同一の半導体領域内にアレー状に配列した半導体光検出装置において、第2の導電型を有する半導体基板と、前記半導体基板上にエピタキシャル成長により形成された第1の導電型を有する第1の半導体領域と、前記第2の導電型の半導体基板と前記第1の半導体領域との間に設けられた前記第1の半導体領域に比べて充分高い不純物濃度でかつ厚みの薄い第1の導電型の薄い層と、前記第1の半導体領域中に形成された第2の導電型の複数のホトダイオードと、前記ホトダイオードを互いに隔離するよう前に記第1の半導体領域内に形成された第1の導電型を有する多結晶半導体からなる隔離領域を設けて構成されている。

本発明による第2の半導体光検出装置は、前記第2の導電型の半導体基板を第1の導電型の半導

体基板にしたものである。

(実施例)

以下、図面等を参照して本発明を詳細に説明する。

第1図は、本発明による半導体光検出装置の第1の実施例を示す図であって、同図(A)は断面図、同図(B)は平面図である。

本発明による半導体光検出装置は、隣接するホトダイオードの接合部17、18間に多結晶半導体からなる分離領域21を形成することにより、クロストークを除去するものである。

基板10とホトダイオード領域との間に薄い高濃度の不純物層9を形成し、高いバイアス電圧をかけたときのリーク電流の減少と、検出電荷量の増加を達成するものである。

第1図中左側のホトダイオード内で発生したキャリアは、P N接合部17に集められて光信号として検出される。同様に右側のホトダイオード内で発生したキャリアは、P N接合部18に集められて光信号として検出される。このとき、両ホトダ

イオード間は絶縁層から、分離領域21により完全に分離されるため、例えば左側のホトダイオード内で発生したキャリアが右側のPN接合部18に混合することはない。

P型基板10とN型領域12間は逆バイアスをかけて使用するため、P型基板10内で発生したキャリアはN型領域12には拡散せず、すべて裏面の電極19に集められる。このようにして光学的クロストークはすべて除去できる。

分離領域21を通して、両ホトダイオード間で電流が流れることは無いため、電気的なクロストークも同様に防止される。

高濃度のN⁺層9には空乏層は広がらず、N⁺層9に達したところで空乏層の広がりは停止する。分離領域21の周辺はリンドープの多結晶シリコンが、拡散源として働くため、高濃度のN⁺になっている。

ホトダイオードに、空乏層が分離領域21に到達する程度の、バイアス電圧をかけても、高濃度のN⁺層に空乏層は広がらず、第10図、第11図

の構成のような、分離領域形成時のダメージによるリーク電流は問題にならない。

このようにN⁺層は不純物によるポテンシャルバリアを形成するとともに、内部電界に対するバリアとして働く。このためホトダイオードにかけるバイアス電圧は制限されず、またホトダイオード領域のN層12の厚さも可能な限り薄くできる。

第3図に前記装置の分光感度特性を示す。

このグラフから明らかなように、短波長と長波長での出力差が従来の装置（第12図参照）に比較して少なくなっている。

これにより、外部回路との接続は容易になり、検出電荷量も増加できる。

また、分離領域はプラズマエッティングにより形成されるため、幅を2μm以下に縮小できる。このため、ホトダイオード間の間隔を縮小することができ、ホトダイオードアレーの解像性能および分解性能を高めることができる。

さらにN⁺層9を挿入することにより、感度の均

一性、応答速度の向上などが計られる。

すなわち、分離領域のN⁺層21とN⁺層9は短絡しているため、第1図（A）に示すように分離領域21上の二酸化珪素膜を除去し、電極配線20を行うことにより、ホトダイオード内の各素子にかかる印加電圧はどの位置でもすべて等しくなるため、感度の均一性や応答速度の向上を計ることができる。

次に前記実施例装置の製造工程を第2図を参照して説明する。

（A）まず、P型シリコン基板10上に、エピタキシャル成長法、イオン注入または拡散法により高濃度のN⁺層9を約1μm、エピタキシャル成長法によりN層12を約5μm成長させる。

そして、熱酸化により二酸化珪素膜13を約1μm成長させる。

N⁺層の不純物は拡散係数の小さなSbが好ましい。

（B）ホトエッティングにより分離領域となる部分の二酸化珪素膜を除去し、さらにプラズマエッチ

ング法を用いて、N型シリコン層12をN⁺層9に達するまで除去する。

（C）CVD法により全面に、例えば高濃度にリンまたは磁素をドープした多結晶シリコン21を堆積し、不要の部分を除去する。

（D）次いで、ホトエッティングにより受光面となる部分の二酸化珪素膜を除去し、拡散法によりP型領域15を形成した後、熱酸化により二酸化珪素膜を、約0.2μm成長させる。

（E）アルミニウム等の金属膜で所定の電極配線20を行い、工程は終了する。

第4図は本発明による第2の半導体光検出装置の実施例を示す断面図および平面図である。

第1図に示した構造は、P型基板を用いたものであるが、この実施例は高抵抗のN⁻基板11を用いて構成したものである。

この場合、基板11として、引上法（CZ法）により作成された、10Ωcmの高抵抗でかつ酸素濃度16～18ppmのシリコン基板を用いる。

この基板11上に、エピタキシャル法によりN⁺

型領域 9 と N 型領域 10 を形成後、800℃の窒素 (N_2) ガス中で 1~16 時間、1050℃の乾燥酸素中で 18 時間の熱処理を行う。

この工程により N⁻ 基板 11 中に、凝結に起因した微小欠陥ができる。これは、インターナルゲッタ法と呼ばれる公知の方法である。

この微小欠陥が再結合中心として働くため、N⁻ 基板 11 内で生成したキャリアのライフタイムは極めて短く、N 領域 12 に拡散する前にすべて消滅する。このため、光学的クロストークはすべて除去できる。

以上詳しく説明した実施例について本発明の範囲内で種々の変形を施すことができる。

各実施例装置において、P 型と N 型をそれぞれ換えて構成しても同様の効果が期待できる。

(発明の効果)

以上詳しく述べたように、本発明による半導体光検出装置はホトダイオード間に、多結晶シリコンからなる分離領域を設けているので、光学的、物理的、電気的等の各種のクロストークを著しく

除去できる。

このため、ホトダイオード間の相互干渉がなく、結果として、解像性能、分解性能を向上することができます。

また、分離領域の幅は 2 μm 以下に縮小することができ、これによる解像性能の向上も同時に期待できる。

また、本発明による半導体光検出装置は、基板とホトダイオード領域の間に高濃度の不純物層を有しているため、バイアス電圧をかけたとき空乏層が基板に広がらず、ホトダイオードにかかるバイアス電圧は可能な限り大きくでき、ホトダイオードの感度を向上させることができる。

さらに、ホトダイオード領域の N 層は、可能な限り薄くできるので、長波長光の光電変換感度を減少させ、外部回路との接続が容易になる。また、分離領域と高濃度の不純物層は短絡しているため、分離領域を通して各ホトダイオードに電圧を印加することができる。このため、電圧の均一性が増し、結果として感度の均一性や応答速度の向上が

計られる。

本発明による光検出装置は、単体として位置検出や分光光度測定に用いることにより、高位置分解性能や高分解性能を達成できる。また本発明による半導体光検出装置を自己走査回路と組み合わせたイメージセンサとして用いることにより、鮮明な画像を得ることができる。

4. 図面の簡単な説明

第 1 図は、本発明による半導体光検出装置の第 1 の実施例を示す断面図および平面図である。

第 2 図は前記実施例装置の製造工程を示す断面図である。

第 3 図は前記実施例装置の分光感度特性を示すグラフである。

第 4 図は、本発明による半導体光検出装置の他の実施例を示す断面図である。

第 5 図は従来のホトダイオードアレー形式の半導体光検出装置における光学的クロストークを示す断面図である。

第 6 図は従来のホトダイオードアレー形式の半導

体光検出装置における物理的クロストークを示す断面図である。

第 7 図は従来のイメージセンサの 1 素子分を示す断面図である。

第 8 図は第 7 図に示した従来のイメージセンサを N 基板を用いた P チャンネル MOSFET 構造にしたときのイメージセンサの等価回路図である。

第 9 図は、クロストーク防止のため、ホトダイオード間に P⁺ 層からなる分離領域を形成した構成を示す断面図である。

第 10 図は、クロストーク防止のために考えられるホトダイオード間に絶縁層からなる分離領域を形成した装置の断面図である。

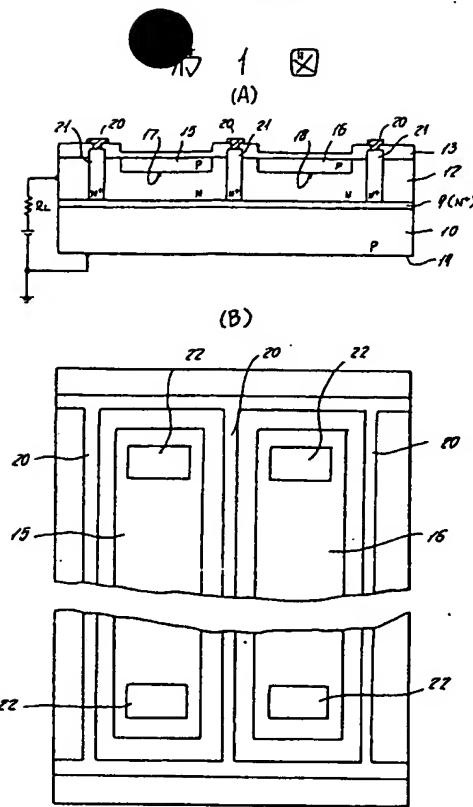
第 11 図は、クロストーク防止のために考えられるホトダイオード間に絶縁層からなる分離領域を形成した他の装置の断面図である。

第 12 図は従来の装置の分光感度特性を示すグラフである。

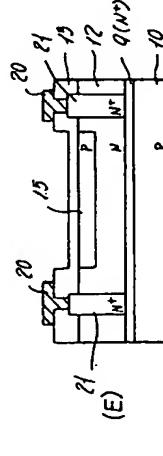
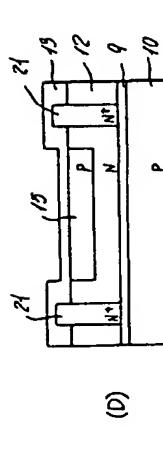
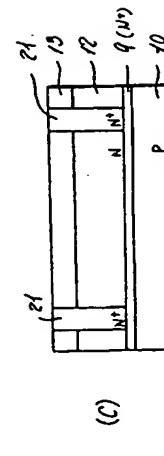
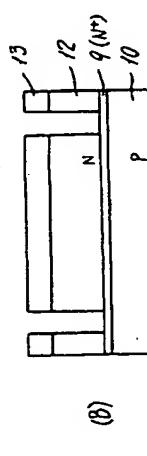
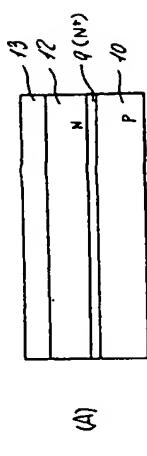
1 … N 型シリコン基板 2 … ソース領域

- 3 … ドレイン領域
 9 … N⁺ 层
 11 … N⁻シリコン基板
 12 … N型領域
 14 … 分離領域
 15, 16 … 受光面 (P領域)
 17, 18 … P N接合部
 19 … 裏面電極
 21 … 多結晶シリコン
 22 … 表面電極
- …ゲート電極
 10 … P型シリコン基板
 13 … 二酸化珪素膜

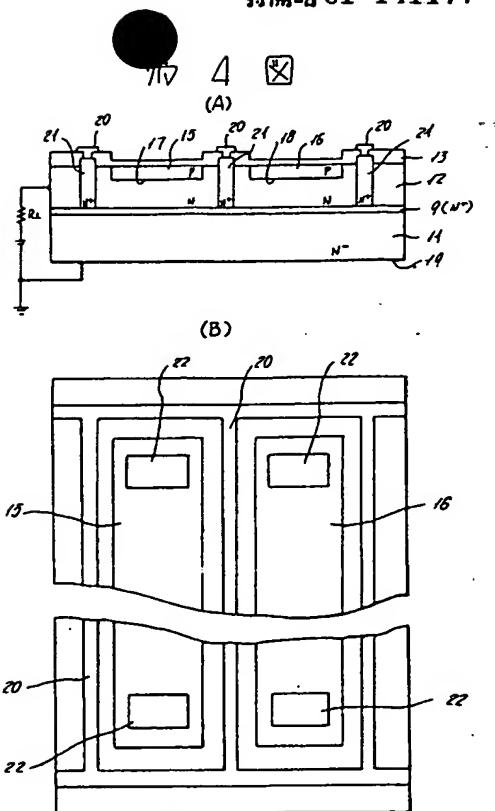
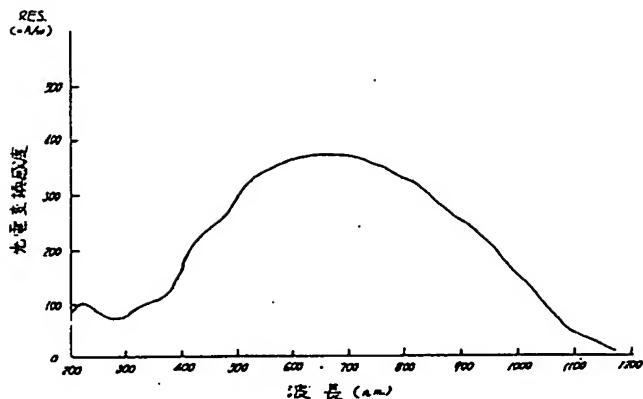
特許出願人 浜松ホトニクス株式会社
 代理人 弁理士 井ノ口奇



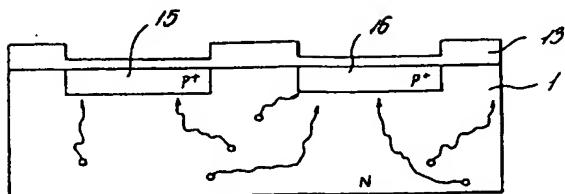
第 2 図



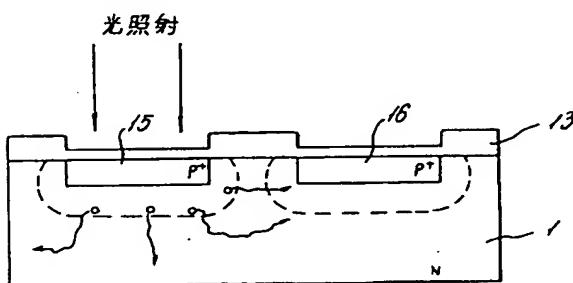
第3図



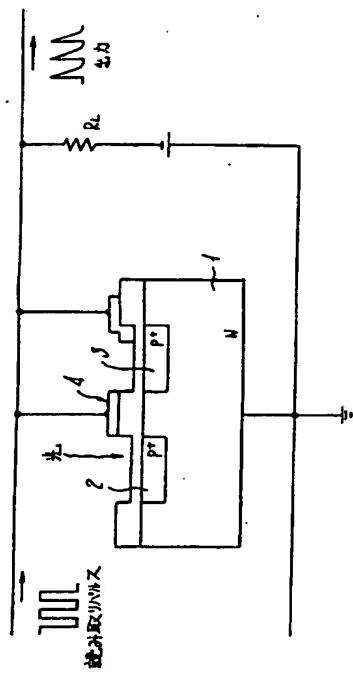
第5図



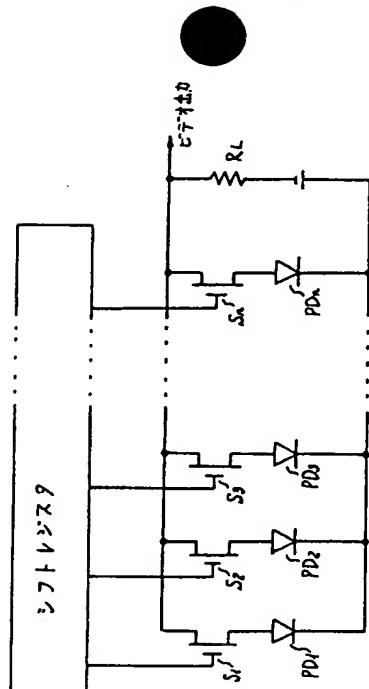
第6図



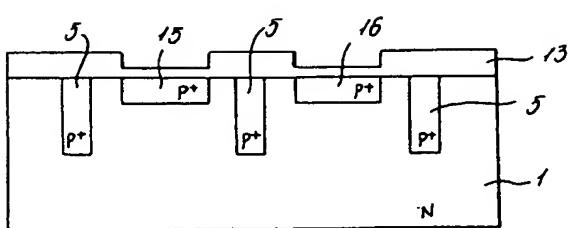
第 7 図



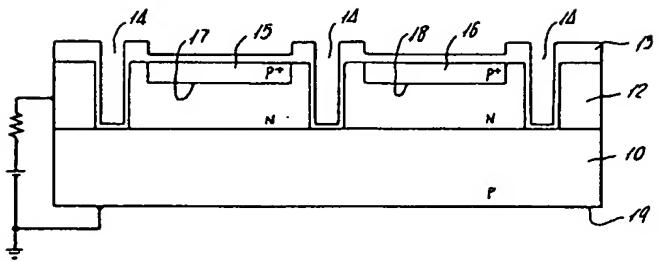
第 8 図



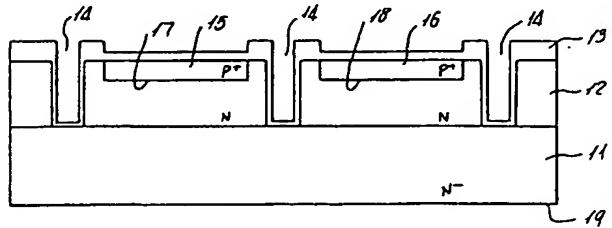
第 9 図



第 10 図



第 11 図



第 12 図

